

Cite No. 3



(No. 000)
10-0-200

主 題	先 行 特 許
非再帰型時間ディジタルフィルタ	特 許 第 51-56850 号
出 願 日	昭 和 51 年 9 月 13 日
発 明 者	佐 藤 孝 一 氏
特 許 代理人	特 許 代理人 佐 藤 孝 一 氏

特 許 願 (B)

昭和 51 年 9 月 13 日

特許庁長官 斎藤 英 雄 殿

1. 発明の名称
非再帰型時間ディジタルフィルタ
2. 発 明 者
位 所 オランダ国アインドーフエン エマングエル
氏 名 ヘンドリック・アラ・ファン・エウセン

3. 特許出願人
(出 願 人)
位 所 オランダ国アインドーフエン エマングエル
氏 名 エス・ピー・アイ・ファン・ス・フルー・イラン・ファン・アレン
氏 名 ヴァイ・エ・ファン・ス・フルー・イラン・ファン・アレン
氏 名 オランダ国
出 願 人
位 所 特許庁長官 斎藤 英 雄 殿
氏 名 佐藤 孝 一 氏
51 110530

万 大 達 査

明 細 書

1. 発明の名称 非再帰型時間ディジタルフィルタ

2. 発明の目的

従来の入力符号を記憶するように構成した記憶装置と、この記憶装置に記憶された入力符号と入力符号および出力符号間の関係を決定する算術装置との組合せを形成する装置と、この装置に結合され、出力係数化周波数(f_c)で発生した出力係数化周波数($1/f_c$)内に記憶装置により形成された係数化周波数によって与えられる出力符号を供給するように構成した装置とを具え、入力係数化周波数(f_c)で発生する入力符号を所定の方法で関連させられ、入力係数化周波数(f_c)との比が M/L (M および L は整数で $M>L$)である一定の出力係数化周波数(f_o)で発生する出力符号を非再帰型時間ディジタルフィルタにおいて、前記記憶装置の入力端子に、周波数($1/f_c$)で発生する入力符号を供給し、これら入力符号を関係装置の関数のもとで変換可能な関係の関数とし、これら記憶した入力符号を出

① 日本国特許庁
公開特許公報

- ①特開昭 51-56850
②公開日 昭51(1976) 8.15
③特開昭 50-110530
④出願日 昭52(1978) 9.13
審査請求 有 (全6頁)
序内整理番号
7439 53

⑤日本分類
980A32

⑥Int.Cl.
H03H 7/28

力係数化周波数($1/f_c$)の重畳化された信号で前記記憶装置に供給するように構成したパワファクタを設けたことを特徴とする非再帰型時間ディジタルフィルタ。

よ 発 明 の 詳 細 な 説 明

本発明は、従来の入力符号を記憶するように構成した記憶装置と、この記憶装置に記憶された入力符号と入力符号および出力符号間の関係を決定する算術装置との組合せを形成する装置と、この装置に結合され、出力係数化周波数(f_c)で発生し、出力係数化周波数($1/f_c$)内に記憶装置により形成された係数化周波数によって与えられる出力符号を供給するように構成した装置とを具え、入力係数化周波数(f_c)で発生する入力符号を所定の方法で関連させられ、入力係数化周波数(f_c)との比が M/L (M および L は整数で $M>L$)である一定の出力係数化周波数(f_o)で発生する出力符号を非再帰型時間ディジタルフィルタ(non-recursive interpolating digital filter)に供給するものである。

上記した種類の非再帰形無限ディジタルフィルタは公知であるが、これらフィルタが実現できるためには、出力非線性化周波数(ω_0)と入力非線性化周波数(ω_1)との比 ω_0/ω_1 が整数であることが条件であり、これは実際の使用を困難するものである。

本発明の目的は、フィルタの非線性を緩和することなく、出力非線性化周波数と入力非線性化周波数との比がいかなる有理数をもとることのできる非再帰形無限ディジタルフィルタを提供することにある。

本発明は、周波数($1/\omega_1$)で発生する入力符号語を受信し、これら入力符号語を制御装置の制御のもとで変換可能な制御の周波数で、これら受信した入力符号語を出力非線性化周波数($1/\omega_0$)の整数倍離れた周波数で記憶装置に供給するように構成したペンアップ装置を、記憶装置の入力端子に接続したことを特徴とするものである。

1979年6月発行の"J.E.S.E. 報告(Proceedings of the J.E.S.E.)"第61巻、第6に図(3)

周波数の減少は、必要な帯域幅には影響を及ぼさない。

帯域幅の狭さ(狭)はフィルタ作用が実行される帯域を決定するため、一定の所定の帯域において前記方法の適用は、非線性化周波数(ω_1)がこのようなフィルタにおいて許容しうる帯域に落づく一定値を超えないような値をゆるやかに制限される。

本発明手段を用いることにより、出力非線性化周波数($1/\omega_0$)内に ω_0/ω_1 の乗算を実行することができ、1秒あたりの乗算の数は $\frac{\omega_0}{\omega_1} \cdot \omega_1 = \omega_0$ に減少する。フィルタ作用の一定の帯域およびディジタルフィルタにおける一定の最大帯域幅では、入力非線性化周波数(ω_1)を上記した方法に用いられる場合よりも大きい係数(L)とすることができ、また一定の入力非線性化周波数および一定の帯域で帯域幅を減少させることができ、あるいは一定の ω_1 および一定の許容帯域で帯域幅を増大することができるため、非再帰形無限ディジタルフィルタの応用分野は相当広げることができる。

以下、図面に基づいて本発明を説明する。

(3)

-284-

特開 昭51-55650 図

図に示される R.P. Scharf および L.R. Rabiner 著の "ディジタル信号処理の新しい方法 (A Digital Signal Processing Approach to Interpolation)" においては、2つのディジタルフィルタ部によつて出力非線性化周波数と入力非線性化周波数との分母比(ω_0/ω_1 ; ω_0 および ω_1 は周波数)を實現するための方法が提案されている。これは、第1ディジタルフィルタ部において入力非線性化周波数(ω_1)を係数(L)によつて増大させ、その結果ディジタルフィルタ部において、部分分母およびディジタルフィルタ部のL個の出力符号語の帯域のうちの一つを用いて、前記第1ディジタルフィルタ部の出力非線性化周波数を出力非線性化周波数(ω_0)に減少させるものである。

1つの出力符号語を発生するために前記フィルタ部内で実行されなければならない乗算の数は ω_0/ω_1 (ω_0/ω_1 は整数)であるため、1秒あたり $\frac{\omega_0}{\omega_1} \cdot \omega_1 = \omega_0$ の乗算を第1ディジタルフィルタ部で実行しなければならない。ここに、 ω_1 は帯域幅の帯である。第1ディジタルフィルタ部の出力非線性化

(4)

第1図は、本発明非再帰形無限ディジタルフィルタの一実施例を示す。本例無限フィルタは、与えられるべき入力符号語が供給される入力端子1を有している。図中2(α)で示す入力符号語は、変換した入力符号語、例えばアナログ情報信号のよう変換された信号と供給されており、この符号語を前記入力非線性化周波数と対応した周波数 ω_1 で供給する。これら符号語を、スイッチング装置3に供給する。このスイッチング装置は、ANDゲート3、α、およびORゲート4より構成されており、ANDゲート3、α、4にはパルス発生器7より取り出されるパルスを供給する。

スイッチング装置においてパルス発生器7からのパルスによつてANDゲート3が閉じた場合には、入力符号語2(α)が記憶装置6に書き込まれる。本実施例ではこの記憶装置を2つのレジスタ部5.1と5.2と5.3とを有するシフトレジスタにより構成する。前記レジスタ部のそれぞれは、1つの入力符号語をたくわえることができる。このシフトレジスタでは、変換する入力符号語は連続するレ

(5)

レジスタにたくわえられる。新しい符号語がレジスタに書き込まれるたびに、レジスタにすでにたくわえられている符号語がレジスタから削除し、レジスタ内の最も古い符号語はレジスタから消失する。記号で表わすと、新しい入力符号語が挿入された後は、レジスタ部 R_1 と R_2 と R_3 は符号語 $X(0)$ 、 $X(1)$ 、 $X(2)$ をそれぞれ記憶している。

1つの新しい入力符号語が挿入された後は、ANDゲートが閉じ、パルス発生部より供給される1個のパルスによつてANDゲートはあるいはANDゲートのいずれかが開く。この状態で、最終レジスタ部あるいは最終から1番目のレジスタ部のいずれかが乗算するお入カレジスタ部 R_1 に接続されるので、演算シフトレジスタが得られる。

1つの新しい入力符号語が挿入されると、計算サイクルが行われる。この計算サイクルでは、パルス発生部からのパルスがレジスタ部および記憶装置図例えはROMに供給される。この結果

(7)

(これは出力符号語が形成された際の場である)、新しい符号語 $X(0)$ を記憶装置に挿入することができ、出力符号語と入力符号語とを比較し、すなわち乗算 R_1 が重要でない場合には、新しい入力符号語が乗算する際には、この符号語を記憶装置に書き込むことは必ずしも可能ではない。したがって、入力端子1の後に、パツファはANDゲートの2番目の出力端子とみななるパツファ回路を設ける。このパツファ回路は、出力符号語 $X(1)$ の乗算結果を同時に、入力符号語が記憶装置に読み取られるようパツファ回路を有している。

本図に示す例では、ディジタルファイルの制御のためのパルスを供給するパルス発生部は、周波数 $\frac{1}{2} f_c$ で出力パルスを供給する発生部 R_1 を有している。この発生部 R_1 の出力端子を、シフトレジスタ部 R_1 と R_2 と R_3 のクロックパルス入力端子だけでなく、乗算部 R_1 を含むカウンタに接続する。この乗算部は、乗算部の出力周波数を乗算 R_1 で乗算する。本図例で

(7)

-285-

乗算部 R_1 には“ファイル係数”と呼ばれる乗算係数がたくわえられている。これらのパルスのそれぞれは、ファイル係数をより最終レジスタ部 R_3 にたくわえられている符号語を、乗算部 R_1 の入力端子に供給する。この乗算部は、供給された符号語とファイル係数との積を形成し、これを乗算部 R_1 に供給する。レジスタ部 R_1 に読み取られる入力符号語のそれぞれにファイル係数が1回乗算され、このようにして得られた積が乗算部 R_1 で互いに加算された後、すなわち計算サイクルの終了に、乗算部は乗算結果にリセットされる。しかし、乗算部がリセットされる際には、乗算部内の符号語は削除されている。この乗算部動作の周波数は、前記出力符号語周波数 f_c と同じであるものである。

すべての出力符号語が互いに等しい時間間隔 $1/f_c$ で $1/f_c$ で現われるようにするためには、シフトレジスタを周期的に変化する記憶時間を持つシフトレジスタとして構成しなければならない。

レジスタ部 R_1 が符号語 $X(0)$ を有し、レジスタ部 R_2 が符号語 $X(1)$ を有する場合

(8)

は $R_1 = 0$ 、 $R_2 = 1$ 、 $R_3 = 0$ である。乗算部 R_1 の出力端子を、ANDゲート R_1 、 R_2 、 R_3 の入力端子に接続し、また乗算部 R_1 の1つの出力端子を乗算部 R_1 の入力端子に接続する。この乗算部は、乗算部 R_1 の出力周波数を R_1 で乗算する。乗算部 R_1 の出力端子を、ANDゲート R_1 、 R_2 、 R_3 の入力端子に接続し、さらにORゲート R_1 の入力端子に接続する。ANDゲート R_1 、 R_2 、 R_3 の出力端子を、ORゲート R_1 の入力端子に接続する。このORゲート R_1 には周波数 f_c で出力パルスが発生し、このパルスを、上述した入力符号語を発生させるために、乗算部 R_1 を経て記憶部に供給する。また、このパルスを乗算部 R_1 からのパルスと共にANDゲート R_1 に供給する。このANDゲート R_1 の出力端子には、パツファを制御するためのパルスが供給する。インバータ R_1 を経て、ORゲート R_1 の出力端子をANDゲート R_1 と R_2 の入力端子に接続し、乗算部 R_1 の出力パルスをANDゲート R_1 に直接、またインバータ R_1 を経てANDゲート R_1 に供給する。ANDゲート R_1 、ORゲート R_1 、ANDゲート R_2

(8)

の出力パルスを、スイッチング装置のANDゲート3、4、5の制御のために用いる。

ROMからのファイル係数の読出しは、従来の方法例えば読出アドレスの読出位置をROMに与えるアドレスコードとして与えることによつて行なうことができる。このためには、第1図に示すように、読出回路4の出力端子を、ROMの対応する入力端子に接続する。また、ある方法によつて、読出サイクルの終了時に、このアドレスコードから、読出回路4を駆動リセットするための読出信号を取り出すことができる。

第2図には、第1図に示す実施例の動作を、パルス発生器7の時間図表によつてより詳細に説明する。第2図では、読出回路4により読出したパルス列を5で示し、読出回路4の出力パルスを3、4、5で示し、読出回路4の出力パルスを3、4、5、3、4、5で示す。ORゲート2の出力信号を6で示す。さらに、3、4、5は、ANDゲート3、4、5への制御信号であるANDゲート2、ORゲート2、ANDゲート2の出力パルスをそれぞれ示す。

(11)

5で示したものであると考えることができることを示している。5での符号群は、3で示される符号群に選択手段を適用することにより得られる。5での符号群は、3での入力符号群の時間により発生したものと考えることができる。

また、本発明非同期型デジタルファイルは、読出回路帯送機のためのアーチ型送機に用いることができる。

特開 851-5565044

また、3はANDゲート2から供給されるパルス4、5への制御パルスを示す。

本発明非同期型デジタルファイルの動作を図1により詳細に説明する。図1において、列Aは、新しい入力符号群がバッファ11に記憶される時間を示している。ここでは、1-3、4-5および11個のファイル係数(1-11)を用いている。列Bは、新しい入力符号群がレジスタ12に書き込まれる時刻を示している。列C、DとE、Fはレジスタ12の1と2、3と4、5と6の内容を示し、列Cはファイル係数を示す。レジスタ12の1と2に示されている符号群には、このファイル係数係数される。列Dは出力符号群を示す。

11個のファイル係数は0から10まで番号が付けられており、この11個のファイル係数がこの送機において所定ファイルのパルス出力の標準化値(=scaled value)を与える。

第3図は、入力符号群と出力符号群との間の可能な時間関係を示す。3および4個の点線は、本発明ファイルの出力符号群が5での符号群遅延。

(12)

(13)

-286-

特開 昭51-55859 図

		図 表 1					
A	B	D.1	D.2	D.3	D		
$x(n) \rightarrow$		$x(n)$	$x(n-1)$	$x(n-2)$	$Q(10)$		
		$x(n-3)$	$x(n)$	$x(n+1)$	$Q(5)$		
		$x(n-1)$	$x(n-3)$	$x(n)$	$Q(0)$		$y(n)=Q(10) \cdot x(n-2)+Q(5) \cdot x(n-1)+Q(0) \cdot x(n)$
		$x(n)$	$x(n-1)$	$x(n-3)$	$Q(15)$		
		$x(n-2)$	$x(n)$	$x(n-1)$	$Q(9)$		
$x(n+1) \rightarrow$		$x(n)$	$x(n-1)$	$x(n)$	$Q(5)$		$y(n+1)=Q(15) \cdot x(n-3)+Q(9) \cdot x(n-1)+Q(5) \cdot x(n)$
		$x(n+1)$	$x(n)$	$x(n+1)$	$Q(11)$		
		$x(n-1)$	$x(n+1)$	$x(n)$	$Q(6)$		
		$x(n)$	$x(n-1)$	$x(n+1)$	$Q(1)$		$y(n+2)=Q(11) \cdot x(n-1)+Q(6) \cdot x(n)+Q(1) \cdot x(n+1)$
		$x(n+1)$	$x(n)$	$x(n-1)$	$Q(14)$		
$x(n+2) \rightarrow$		$x(n)$	$x(n+1)$	$x(n)$	$Q(9)$		
		$x(n+1)$	$x(n)$	$x(n+1)$	$Q(4)$		$y(n+3)=Q(14) \cdot x(n-1)+Q(9) \cdot x(n)+Q(4) \cdot x(n+1)$
		$x(n+2)$	$x(n+1)$	$x(n)$	$Q(18)$		
		$x(n+1)$	$x(n+2)$	$x(n+1)$	$Q(7)$		
		$x(n+2)$	$x(n+1)$	$x(n+2)$	$Q(8)$		$y(n+4)=Q(18) \cdot x(n)+Q(7) \cdot x(n+1)+Q(8) \cdot x(n+2)$
$x(n+3) \rightarrow$		$x(n+3)$	$x(n+2)$	$x(n+1)$	$Q(10)$		
		$x(n+1)$	$x(n+3)$	$x(n+2)$	$Q(6)$		
		$x(n+2)$	$x(n+1)$	$x(n+2)$	$Q(0)$		$y(n+5)=Q(10) \cdot x(n+1)+Q(6) \cdot x(n+2)+Q(0) \cdot x(n+3)$
		$x(n+3)$	$x(n+2)$	$x(n+1)$	$Q(13)$		
		$x(n+2)$	$x(n+3)$	$x(n+2)$	$Q(2)$		
$x(n+4) \rightarrow$		$x(n+3)$	$x(n+2)$	$x(n+3)$	$Q(7)$		$y(n+6)=Q(13) \cdot x(n+1)+Q(7) \cdot x(n+2)+Q(2) \cdot x(n+3)$
		$x(n+4)$	$x(n+3)$	$x(n+2)$	$Q(11)$		
		$x(n+3)$	$x(n+4)$	$x(n+3)$	$Q(9)$		
		$x(n+4)$	$x(n+3)$	$x(n+4)$	$Q(1)$		$y(n+7)=Q(11) \cdot x(n+2)+Q(9) \cdot x(n+3)+Q(1) \cdot x(n+4)$
		$x(n+5)$	$x(n+4)$	$x(n+5)$	$Q(1)$		

(17)

* 本図の簡単な説明

第1図は本発明の構成要素のブロック図、第2図は第1図に示すファイルの動作を説明するための時間図表、第3図は第1図に示すファイルの入力符号表と出力符号表との間の可逆な時間関係を示す図である。

1—入力端子、2—スイッチング装置、3、4、5、13、16、17、21、24、25—ANDゲート、6、14、20—ORゲート、7—パルス発生器、7—フリップフロップ、8、10、12、15—フリップフロップ、9—遅延回路、11—乗算器、12—乗算器、13—乗算器、14—乗算器、15—乗算器、16—乗算器、17—乗算器、21—乗算器、24—乗算器、25—乗算器。

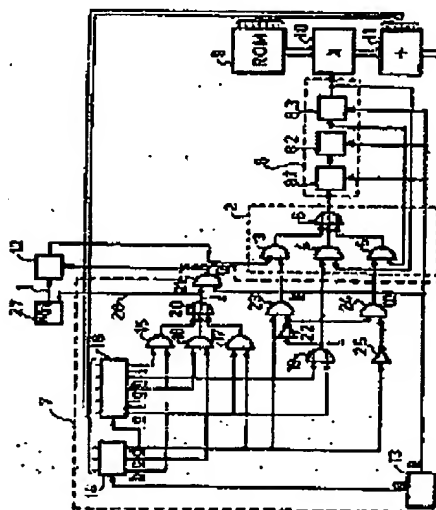


Fig.1

電話 5561-5563 號

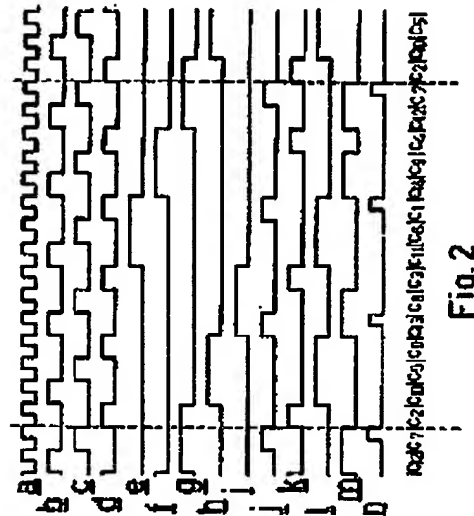


Fig. 2

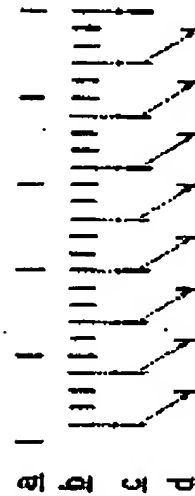


Fig. 3

5 続附書類の目録

- | | | | | |
|--------|---|---|---|-----------|
| 傅明 | 舒 | 舒 | 1 | 册 |
| 傅國 | 昭 | 昭 | 1 | 册 |
| 傅瑞 | 晉 | 司 | 1 | 册 |
| 加羅 | 新 | 新 | 1 | 函(《中法研究》) |
| 西尼 | 光 | 經 | 1 | 函(《中法研究》) |
| 西金 | 考 | 斯 | 1 | 函 |
| (7) 出廣 | 登 | 在 | 2 | 函 |

6. 前記以外の證明書、転許申請人または代理人

四 无 暇 言

位 所 オランダ国アイントーフェン エマヤンゲル29

兵 艦 ニコラス・アルフォンソ・マリア・ヘルナンデス

在 所 費 上

氏 名 ウイルフレクア・アンブレ・マリア・
スニザルス

出 租 人

品 所 千200 東京都千代田区蔵が附3丁目8番4号
源為メアイルド?所 電話(03)2341-2414

(746) 氏 名 中 原 士 彬 村 興 作

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.